

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-188965

(43)Date of publication of application : 22.08.1986

(51)Int.Cl.

H01L 27/14
H04N 5/335

(21)Application number : 60-029723

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.02.1985

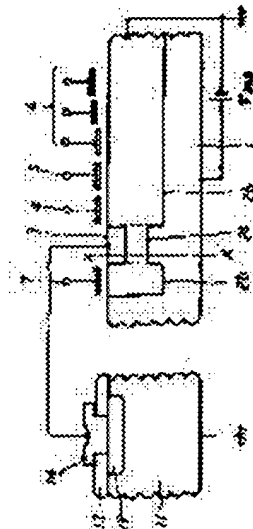
(72)Inventor : KUBO KAZUYA
ITO YUICHIRO

(54) SOLID-STATE IMAGE SENSOR

(57)Abstract:

PURPOSE: To suppress a blooming, to expand a dynamic range, to improve the S/N ratio and to improve a picture element integration by removing excess and reactive charge after photoelectric converting.

CONSTITUTION: An input diode, an input gate, a transfer gate for controlling the transfer of stored charge to a charge transfer element and a reset gate for implanting the remaining charge to a semiconductor substrate are formed on an opposite conductive type well layer. A P-type well layer 2 is grounded together with the substrate 11, a positive voltage with respect to the layer 2, i.e., a reverse bias voltage is applied to a semiconductor substrate 1 to deplete the region 2a of the P-type well layer. The bias voltage to the layer 2 is also applied to an input gate electrode 4. Electrons of signal charge is stored in an N+ type region 3, its potential decreases upon increase of stored charge 8, and a barrier height due to the layer 2 simultaneously decreases. A punch-through current starts flowing soon between the region 3 and the substrate 1, and excess charge generated more is all implanted to the substrate 1 to prevent it from flowing to an approaching input diode.



LEGAL STATUS

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-188965

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)8月22日

H 01 L 27/14
H 04 N 5/335

7525-5F
8420-5C

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 固体撮像装置

⑯ 特 願 昭60-29723

⑰ 出 願 昭60(1985)2月18日

⑱ 発 明 者 久 保 加 寿 也 川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 発 明 者 伊 藤 雄 一 郎 川崎市中原区上小田中1015番地 富士通株式会社内
⑳ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地
㉑ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

固体撮像装置

2. 特許請求の範囲

一導電型の半導体基板に設けられた反対導電型のウェル層に、信号電荷を蓄積する入力ダイオードと、入力ゲートと、該蓄積電荷の電荷転送素子への転送を制御する転送ゲートと、該蓄積電荷を該半導体基板に注入するリセットゲートとを備えて、該蓄積電荷の無効成分の該電荷転送素子への転送を抑制し、かつ過剰の電荷及び該無効成分を該半導体基板に注入することの特徴とする固体撮像装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は固体撮像装置にかかり、特にその信号電荷に含まれる過剰又は無効成分の除去手段の改善に関する。

(従来技術)

光学的信号を電気信号に変換する光電変換素子

には、pn接合を備えて入射光に応じて起電力を発生する光起電形、電気抵抗が入射光に応じて変化する光伝導形、半導体基体に形成されたポテンシャル井戸に入射光に応じたキャリアが蓄積されるMIS形などがあり、撮像装置では通常この光電変換素子が2次元もしくは1次元のアレイを構成する。

複数の光電変換素子で得られた電気信号を時系列多重化して画像信号を構成するために、信号の蓄積、サンプリング、転送などの処理が必要である。この信号処理には電界による電荷結合によってポテンシャル井戸に蓄積した電荷を転送する電荷結合装置(CCD)などの電荷転送装置(CTD)が通常用いられる。

この光電変換素子とCTDとを纏めて固体撮像装置を構成するに際して、両者を単一半導体基板上に形成するモノリシック構造と、異なる半導体基板上にそれぞれを形成して両者を接続するハイブリッド構造などがあるが、従来のハイブリッド構造の固体撮像装置は例えば第3図に例示する如き

構造を有している。

同図において、11は例えばp型化合物半導体基板、12はn型領域、13は保護絶縁膜、14は電極で光起電形光電変換素子を構成する。また、21は例えばシリコン(Si)p型半導体基板、23は入力ダイオードを構成するn型領域、24は入力ゲート電極、25は転送ゲート電極、26はCCDの電極であり、各電極は半導体基板21上に絶縁膜(図示を省略)を介して設けられている。

本従来例において半導体基板21は半導体基板11と共に接地され、入力ゲート電極24には入力ダイオードのバイアスを制御するための一定電圧を印加し、転送ゲート電極25、CCDの電極26には周期的にパルス電圧を印加し、各電極下の半導体基板21内にポテンシャル井戸を形成して電荷を順次転送する。

本従来例において、入力ダイオードのn型領域23はp型半導体基板21にポテンシャル井戸を形成し、信号電荷である電子がここに蓄積されるが、光電変換素子への入射光量が多い場合には信号電

すまず高まっている。

(問題点を解決するための手段)

前記問題点は、一導電型の半導体基板に設けられた反対導電型のウェル層に、信号電荷を蓄積する入力ダイオードと、入力ゲートと、該蓄積電荷の電荷転送素子への転送を制御する転送ゲートと、該蓄積電荷を該半導体基板に注入するリセットゲートとを備えて、該蓄積電荷の無効成分の該電荷転送素子への転送を抑制し、かつ過剰の電荷及び該無効成分を該半導体基板に注入する本発明による固体撮像装置により解決される。

(作用)

本発明の固体撮像装置においては、入力ダイオード、入力ゲート、蓄積電荷の電荷転送素子への転送を制御する転送ゲート、及び残存電荷を半導体基板に注入するリセットゲートが、基板と反対導電型のウェル層に形成される。

このウェル層の入力ダイオード下の領域をその他の領域より低不純物濃度としてバイアス電圧により空乏化し、かつ入力ゲートのバイアス電圧を

荷がポテンシャル井戸に対して過剰となり、近接する入力ダイオードに流入する。この結果例えば点光源が線状に表示されるなど、画像にいわゆるブルーミング(blooming)を生ずる。

また常温近傍の赤外線サーモグラフィ等においては相対的に僅少な強度差を検知することが要求され、極めて大きい背景光成分を含む信号から有効な信号成分を抽出しなければならないが、従来の固体撮像装置においては、時系列多重化後に背景光成分を除去し信号相互間の差を求めているために、このような場合には特に分解能が低下し信号対雑音比も劣化する。

(発明が解決しようとする問題点)

上述の如く従来の固体撮像装置では、撮像対象物の如何により時にはその過大なコントラストにより画像が変化し、或いは反対にコントラストが僅少で分解能、信号対雑音比が劣化している。

固体撮像装置の波長帯域、応用分野が拡大され、また得られる画像の品位の向上が求められるに伴って、これらの問題点に対する改善の必要性がま

選択して過剰の電荷を基板に注入する。

また転送ゲートのパルス電圧を選択して電荷の無効成分の転送を阻止し、この残存電荷をリセットゲートを用いて基板に注入する。

この様に過剰及び無効な電荷を光電変換直後に除去することにより、前記問題点が十分に解決される。

(実施例)

以下本発明を実施例により具体的に説明する。

第1図は本発明の実施例の一面素を示す模式側断面図、第2図(a)はその入力ダイオードを含む基板に垂直方向のポテンシャル分布図、同図(b)はそのゲート配列方向のポテンシャル分布図である。

第1図において、11は例えばp型化合物半導体基板、12はn型領域、13は保護絶縁膜、14は電極で前記従来例と同様な光起電形光電変換素子を構成する。

また、1は例えば不純物濃度 $2 \times 10^{14} \text{ cm}^{-3}$ 程度のシリコン(Si)n型半導体基板、3は入力ダイオードを構成する例えば不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 程

度の n^+ 型領域、2は p 型ウエル層で、 n^+ 型領域3の下部の領域2aで例えば不純物濃度 $1 \times 10^{13} \text{cm}^{-3}$ 程度、その他の領域2bは例えば不純物濃度 $1 \times 10^{14} \text{cm}^{-3}$ 程度とされ、4は入力ゲート電極、5は転送ゲート電極、6はCCDの電極、7はリセットゲート電極であり、各電極は半導体基板1上に絶縁膜(図示を省略)を介して設けられている。

本実施例の p 型ウエル層2を半導体基板11と共に接地し、半導体基板1に p 型ウエル層2に対して正、すなわち逆バイアス電圧を印加して、 p 型ウエル層の領域2aを空乏化する。また、入力ゲート電極4にも p 型ウエル層2に対してのバイアス電圧を印加する。この結果、 n^+ 型領域3から下方に第2図(a)の曲線A(蓄積前)に示す如きポテンシャル分布が、 p 型ウエル層2及び n 型半導体基板1により形成される。

信号電荷である電子は n^+ 型領域3に蓄積され、蓄積電荷8の増加に伴ってポテンシャルが低く(図では上方に)なり、同時に p 型ウエル層2によるバリア高さも減少する。やがてバイアス電圧に

より設定された曲線B(蓄積限界)に達すれば、 n^+ 型領域3と n 型半導体基板1間にパンチスルー電流が流れ始め、それ以上発生した過剰電荷は全て基板1に注入され、従来例の如き近接する入力ダイオードへの流入が防止される。

信号電荷蓄積の際のポテンシャル分布は、他方ゲート配列方向については第2図(b)の曲線C(蓄積)に示す状態である。この蓄積電荷8には有効な信号成分8aのみならず無効な背景光成分8bが含まれる。本発明では蓄積電荷8の転送の際に転送ゲート電極5に印加するパルスの波高値を選択して、同図の曲線D(転送)に示す如く無効な背景光成分8bのCCDへの転送が阻止されるバリア高さを形成する。次いでリセットゲート電極7にパルス電圧を印加しリセットゲートのポテンシャルを同図の曲線E(リセット)に示す如く十分に高めて、残存する蓄積電荷8bを基板1に注入する。

この様にして過剰及び無効な電荷が光電変換直後に除去され、コントラストが過大な場合にも、また過少な場合にも明快で正確な画像信号を得る

ことが可能となる。

更に本発明により、信号処理系の従来無駄であった容量を削減することが可能となり、固体撮像装置の集積度の向上等を推進することができる。

(発明の効果)

以上説明した如く本発明によれば、光電変換素子の出力信号から有害な成分を除去し、有効な成分のみを信号として処理することが可能となり、ブルーミングの抑制、ダイナミックレンジの拡大、信号対雑音比の改善、更に画素集積度の向上など画像の品位を大きく向上することができる。

4. 図面の簡単な説明

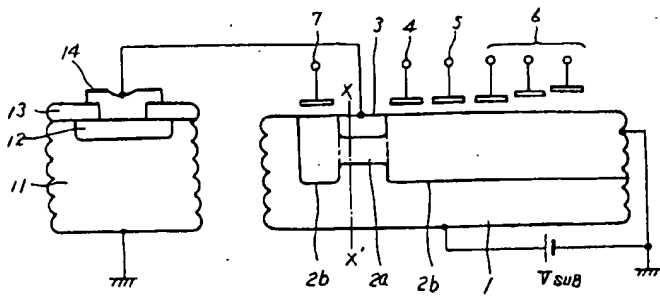
第1図は本発明の実施例を示す模式側断面図、
第2図(a)、(b)はそのポテンシャル分布図、
第3図は従来例を示す模式側断面図である。
図において、

- 1は n 型半導体基板、
- 2は p 型ウエル層、
- 2aはウエル層の低不純物濃度領域、
- 2bはウエル層のその他の領域、

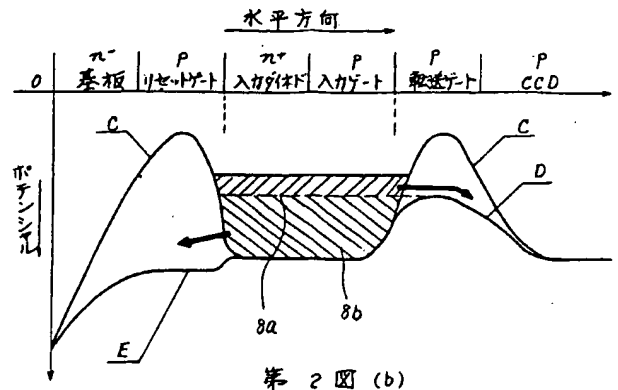
- 3は入力ダイオードの n^+ 型領域、
- 4は入力ゲート電極、
- 5は転送ゲート電極、
- 6はCCDの電極、
- 7はリセットゲート電極、
- 8は蓄積電荷、
- 8aはその有効信号成分、
- 8bはその無効な背景光成分、
- 11は光電変換素子の p 型半導体基板、
- 12は n 型領域、
- 13は保護絶縁膜、
- 14は電極を示す。

代理人 弁理士 松岡宏四郎

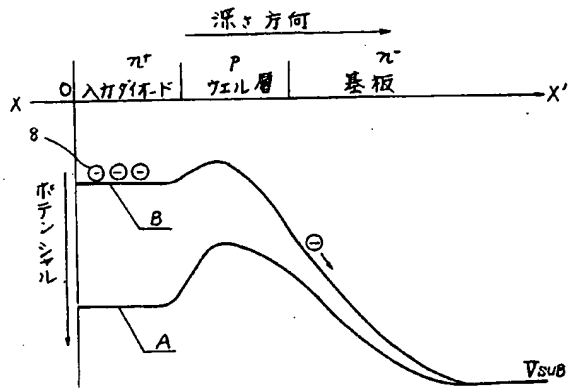




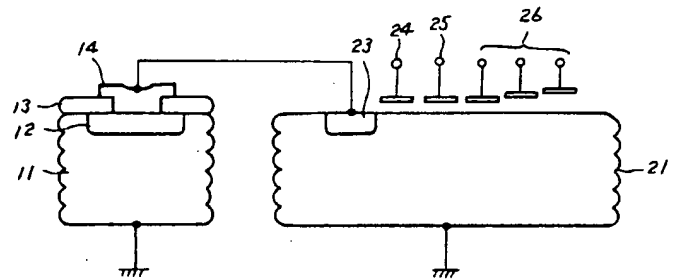
第1図



第2図 (b)



第2図 (a)



第3図